

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **07-226088**

(43)Date of publication of application : **22.08.1995**

(51)Int.Cl. **G11C 14/00**
G11C 16/02
H01L 27/10
H01L 27/105
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : **06-040561**

(71)Applicant : **NIPPON STEEL CORP**

(22)Date of filing : **15.02.1994**

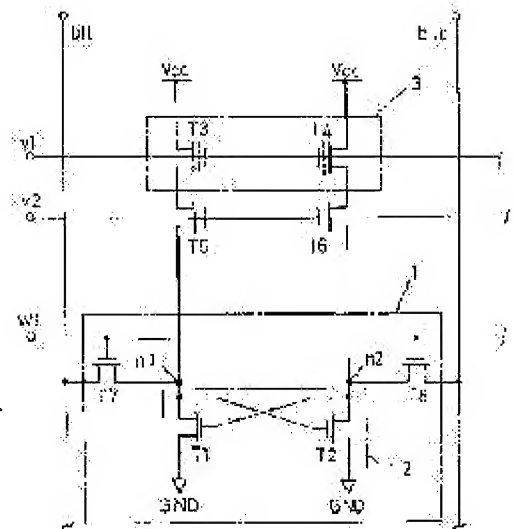
(72)Inventor : **KOSHIZUKA ATSUO**

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To realize a non-volatile characteristic keeping a high speed characteristic of a static memory (SRAM).

CONSTITUTION: A flip flop 2 is constituted with two transistors T1, T2 in which sources are grounded respectively and each drain is connected to an gate of a partner transistor, while first and second selecting transistors T7, T8 are connected to the two transistors T1, T2 and a SRAM memory cell section 1 is constituted. Further, a non-volatile memory cell section storing a state of the SRAM memory cell section 1 is constituted with non-volatile transistors T3, T4 which has two gates of a floating gate and a control gate and of which a drain is connected to a power supply line. By connecting the nonvolatile memory cell section 3 to the SRAM memory cell section 1 through fifth and sixth transistors T5, T6, a high speed characteristic of the SRAM and a non-volatile characteristic of an EPROM, a Flash-EPROM and the like can be realized.



*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] While a flip-flop is constituted by the 1st transistor and 2nd transistor and the 1st selection transistor is connected to said 1st transistor, A SRAM memory cell portion by which the 2nd selection transistor is connected to said 2nd transistor, A semiconductor memory device being connected to said SRAM memory cell portion, and constituting a memory cell from a nonvolatile memory cell portion for memorizing a state of said SRAM memory cell portion.

[Claim 2] A semiconductor memory device constituting a memory cell from a nonvolatile memory cell portion provided with the 3rd and 4th transistor characterized by comprising the following.

A SRAM memory cell portion by which the 2nd selection transistor is connected to said 2nd transistor while a flip-flop is constituted by the 1st transistor and 2nd transistor and the 1st selection transistor is connected to said 1st transistor.

It is connected to said 1st and 2nd transistor via a transfer gate, respectively, and they are two gates, a floating gate and a control gate.

[Claim 3] A semiconductor memory device, wherein said 1st and 2nd transistors are connected to a gate of a transistor with a mutual drain in claim 2 while sauce is grounded, respectively, and said transfer gate is connected to each drain, respectively.

[Claim 4] A semiconductor memory device constituting a memory cell from a nonvolatile memory cell portion provided with the 3rd and 4th transistor by which a drain is both connected to a power source line as it is characterized by comprising the following.

While a flip-flop is constituted by the 1st and 2nd transistor connected to a gate of a transistor with a mutual drain while sauce is grounded, respectively, A SRAM memory cell portion by which the 1st and 2nd selection transistor is connected to a drain of said 1st and 2nd transistor. The 5th and 6th transistor connected to a drain of said 1st and 2nd transistor, respectively, And it is the transistor by which sauce is connected to a drain of said 1st and 2nd transistor via these 5th and 6th transistor, respectively, and these transistors are two gates, a floating gate and a control gate.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention is used for the semiconductor memory device

using a nonvolatile memory cell about a semiconductor memory device, and is preferred.

[0002]

[Description of the Prior Art] DRAM, SRAM, EPROM, Flash-EPROM, etc. are among the semiconductor memory devices produced commercially now, for example. among these semiconductor memory devices, read-out/writing is possible for DRAM at any time, and it is fit for large scale-ization -- **** (the production trial of 16 M-bit has already been carried out) -- when refresh operation is needed and the power is turned off, data has a disappearing problem. Although read-out/writing is possible for SRAM at any time at high speed, it is unsuitable for large-scale-izing, and when the power is turned off, there is a problem on which data is not held.

[0003] On the other hand, in EPROM and Flash-FPRM, even if it turns off the power, it has an advantage on which data is held. However, since said EPROM and Flash-FPRM are [three to 5 *****] late as compared with DRAM and SRAM which writing operation mentioned above, there is a problem which cannot perform read-out/writing to at any time.

[0004]

[Problem(s) to be Solved by the Invention] As mentioned above, the memory device with possible the conventional memory device performing read-out/writing at high speed had a problem on which data disappears and to keep, when the power was turned off. The memory device which can hold data even if it turns off the power had a problem which cannot perform read-out/writing to at any time. An object of this invention while maintaining the rapidity of static memory (SRAM) in view of an above-mentioned problem is to enable it to realize fixity.

[0005]

[Means for Solving the Problem] In order to solve said purpose a semiconductor memory device of this invention, A SRAM memory cell portion provided with the 1st and 2nd selection transistors that a flip-flop was constituted by the 1st and 2nd transistor and were connected to said 1st and 2nd transistor, It is connected to said SRAM memory cell portion, and a memory cell comprises two portions with a nonvolatile memory cell portion which memorizes a state of said SRAM memory cell portion.

[0006]

[Function] Since this invention has the above-mentioned arts means, a SRAM memory cell portion is the same composition as the usual SRAM, therefore when high-speed operation is required, the same high-speed operation as the usual SRAM memory of it becomes possible using said SRAM memory cell portion. Fixity is collateralized by the time of the operation finish of a memory, or making the transistor of said nonvolatile memory cell portion memorize the information on said SRAM memory cell portion periodically.

[0007]

[Example] Hereafter, one example of the semiconductor memory device of this invention is described with reference to drawings. The fundamental composition of the semiconductor memory device of this invention is constituted by the 1st transistor T1 - 4th transistor T4.

[0008] As shown in drawing 1, each source of the 1st transistor T1 and the 2nd transistor T2 is grounded. And while the drain of the 1st transistor T1 is connected to the gate of the 2nd transistor T2, The drain of the 2nd transistor T2 is connected to the gate of the 1st transistor T1, and the flip-flop 2 is constituted by these 1st and 2nd transistors T1 and T2.

[0009] While the 1st selection transistor T7 is connected to the drain of the 1st transistor T1, the 2nd selection transistor T8 is connected to the drain of the 2nd transistor T2. These 1st and 2nd selection transistors T7 and T8 are provided in order to operate selectively said 1st and 2nd transistors T1 and T2.

The SRAM memory cell portion 1 is constituted by the above transistor T1, T2, T7, and T8.

[0010]While the source of the 5th transistor T5 is connected to the drain of the 1st transistor T1, the source of the 6th transistor T6 is connected to the drain of the 2nd transistor T2. These 5th and 6th transistors T5 and T6 are connected as a transfer gate, respectively.

[0011]While the source of 3rd transistor T3 is connected to the drain of said 5th transistor T5, the source of the 4th transistor T4 is connected to the drain of the 6th transistor T6. These transistor T3 and T4 are what is called a nonvolatile transistor.

It has two gates, a floating gate and a control gate.

And the nonvolatile memory cell portion 3 is constituted by these the 3rd transistor T3 and 4th transistor T4.

[0012]About the details of these SRAM memory cell portions 1 and the nonvolatile memory cell portion 3, the structure principle of operation is indicated in detail to the "flash memory which advances rapidly" of the Fujio Masuoka work published from Kogyo Chosakai Publishing. As transistor T3 of the nonvolatile memory cell portion 3, and T4, what is necessary is just to have two gates, a floating gate and a control gate, and the memory structure of various kinds of types can be applied.

[0013]As mentioned above, the SRAM memory cell portion 1 is constituted as, as for the semiconductor memory device of this example, the transistor T1, T2, T7, and T8 are, The selection signal line wl for choosing this memory cell as each gate of the 1st selection transistor T7 and the 2nd selection transistor T8 is connected.

[0014]The signal wire blt/blc for reading data from said SRAM memory cell portion 1, or writing data in said SRAM memory cell portion 1 is connected to said 1st selection transistor T7 and the 2nd selection transistor T8, respectively.

[0015]As mentioned above, the 3rd transistor T3 and 4th transistor T4 are a transistor which has a control gate and a floating gate.

The control gate is connected to the 1st signal wire v1.

[0016]The 5th transistor T5 and 6th transistor T6 serve as a transfer gate which connects the nonvolatile memory cell 3 and the SRAM memory cell portion 1, as mentioned above.

The gate of these transistors T5 and T6 is connected to the 2nd signal wire v2.

[0017]Next, operation of the circuit shown in drawing 1 is explained. First, SRAM operation is explained. At the time of SRAM operation, the 1st signal wire v1 and 2nd signal wire v2 are fixed to a low level (earthing conductor level). In this case, the data held at the SRAM memory cell portion 1 is decided with the level of the 1st node n1 and the 2nd node n2.

[0018]For example, suppose that the 1st node n1 is high level, and the 2nd node n2 is a low level. In this case, when considering read operation the selection signal line wl is a low level (earthing conductor level), the SRAM memory cell portion 1 is non selection.

Data is not outputted from a memory cell.

[0019]One [the 1st selection transistor T7 and 2nd selection transistor T8] if the selection signal line wl becomes high-level. Thereby, a low level is outputted to one signal wire blt, and high level is outputted to the signal wire blc of another side.

[0020]Next, considering writing operation, when the selection signal line wl is a low level (earthing conductor level), the SRAM memory cell portion 1 is non selection, and data is not

written in a memory cell. And since one [the 1st selection transistor T7 and 2nd selection transistor T8] if the selection signal line wl becomes high-level, If high level is inputted into the signal wire blc of another side while a low level is inputted into one signal wire blt, a low level of one signal wire blt will be written in the 1st node n1 through the 1st selection transistor T7.

[0021]Since the signal wire blc of another side is high-level, the high level of the signal wire blc of another side will be written in the 2nd node n2 through the 2nd selection transistor T8.

[0022]As for the semiconductor memory device of this example, at the time of the usual operation, high-speed memory operation is performed using the SRAM memory cell portion 1 as mentioned above. And shunting of the data from the SRAM memory cell portion 1 to the nonvolatile memory cell portion 3 is performed by the operation shown below for every time of the ends of memory use in front of powering off etc., or fixed time.

[0023]Next, the operation (store operation) which writes the data written in the SRAM memory cell portion 1 in the nonvolatile memory cell portion 3 is explained. The 1st node n1 presupposes the data currently written in the SRAM memory cell portion 1 in the following explanation that high level and the 2nd node n2 serve as a low level. Such a state is set by the flip-flop 2 which consists of the 1st transistor T1 and 2nd transistor T2.

[0024]First, when writing data in the nonvolatile memory cell portion 3, while impressing the signal of a low level (ground level) to the selection signal line wl and the 2nd signal wire v2, the voltage of negative potential is impressed to the 1st signal wire v1, and the old data currently written in the nonvolatile memory cell portion 3 is eliminated. That is, 3rd transistor T3 and SURESSHORUDO of the 4th transistor T4 are made into a negative value, and it is made almost the same.

[0025]Thus, if it finishes eliminating the old data currently written in the nonvolatile memory cell portion 3 next, the signal of a low level (ground level) will be impressed to the 1st signal wire v1 and the 2nd signal wire v2, and the selection signal line wl, respectively.

[0026]Next, while impressing the signal of a low level (ground level) to the selection signal line wl, the high tension of positive potential is impressed to the 1st signal wire v1, and a high-level signal is impressed to the 2nd signal wire v2. thereby -- the [the 3rd -] -- one [transistor T3 of six, T4, T5, and T6], respectively.

[0027]At this time, since the 2nd node n2 is a low level, a low level is impressed to the gate of the 1st transistor T1. Therefore, the 1st transistor T1 is turned off and current does not flow into the 5th transistor T5 and 3rd transistor T3. For this reason, SURESSHORUDO of 3rd transistor T3 does not change.

[0028]On the other hand, since the 1st node n1 is high-level, high level is impressed to the gate of the 2nd transistor T2. Therefore, and current flows into the 4th transistor T4 and 6th transistor T6 through the 2nd transistor T2. [the 2nd transistor T2] Since phot electron pouring takes place to the floating gate of the 4th transistor T4 and an electron is poured into it by this current, SURESSHORUDO is made high and it is made a positive value.

[0029]Next, the store of the data from the SRAM memory cell portion 1 to the nonvolatile memory cell portion 3 is completed by impressing the signal of a low level (ground level) to the 1st and 2nd signal wires v1, v2, and the selection signal line wl.

[0030]In the time of system starting currently used, etc., the semiconductor memory device of this example is made to perform operation (recall operation) which writes the data which made the nonvolatile memory cell portion 3 shunt in the SRAM memory cell portion 1.

[0031]Next, the operation (recall operation) which writes the data currently written in the nonvolatile memory cell portion 3 in the SRAM memory cell portion 1 is explained. The data

currently written in the nonvolatile memory cell portion 3 is decided by 3rd transistor T3, and a value or a negative value positive in SURESSHORUDO of the 4th transistor T4.

[0032]Now, with a negative value, SURESSHORUDO of 3rd transistor T3 of the nonvolatile memory cell portion 3 makes an example the case where SURESSHORUDO of the 4th transistor T4 is a positive value, and explains recall operation. First, the signal of a low level (ground level) is impressed to the 1st signal wire v1 and 2nd signal wire v2, and a high-level signal is impressed to the selection signal line wl. Thereby, the 1st selection transistor T7 and 2nd selection transistor T8 serve as one.

[0033]In this state, one signal wire blt and the signal wire blc of another side are made into a low level (ground level), and the level of the 1st node n1 and the 2nd node n2 is made into a low level (ground level). Next, while impressing the signal of a low level (ground level) to the 1st signal wire v1 and selection signal line wl, a high-level signal is impressed to the 2nd signal wire v2, and the 5th transistor T5 and 6th transistor T6 are made one.

[0034]Thus, even if it makes one the 5th transistor T5 and 6th transistor T6, since SURESSHORUDO of the 4th transistor T4 is a positive value, current does not flow.

[0035]To it, since 3rd transistor T3 is a value negative in the SURESSHORUDO, current will flow into the 1st node n1 through the 5th transistor T5. Thereby, the level of the 1st node n1 goes up, and data is written in the SRAM memory cell portion 1. Next, the signal of a low level is impressed to the 1st signal wire v1, 2nd signal wire v2, and selection signal line wl, and recall operation is ended.

[0036]In order to make this invention easy to understand, only the important section was indicated to drawing 1, but to actually use it as a memory cell of memory storage, as shown in drawing 2, it is necessary to connect inductance element Z to the drain of the 1st transistor T1 and the 2nd transistor T2.

[0037]As such inductance element Z, the bond resistance of a resistance element as shown in drawing 3 (a), and a transistor as shown in drawing 3 (b), the bond resistance of a diode as shown in drawing 3 (c), etc. can be used.

[0038]As explained above, in the semiconductor memory device of this example, memory/read operation can be performed at high speed using the SRAM memory cell portion 1 at the time of normal operation. Since data can be evacuated to the nonvolatile memory cell portion 3 at the time of the end of memory operation, the rapidity of SRAM and fixity, such as EPROM and Flash-EPROM, are simultaneously realizable.

[0039]

[Effect of the Invention]As this invention is mentioned above, while constituting a flip-flop as at least two transistors are, Connect the 1st and 2nd selection transistors to these two transistors, and a SRAM memory cell portion is constituted, And since the nonvolatile memory cell portion which memorizes the state of said SRAM memory cell portion was connected to said SRAM memory cell portion and the memory cell was constituted, the semiconductor memory device which realized the rapidity of SRAM and fixity of EPROM or Flash-EPROM simultaneously can be provided.

TECHNICAL FIELD

[Industrial Application]Especially this invention is used for the semiconductor memory device using a nonvolatile memory cell about a semiconductor memory device, and is preferred.

PRIOR ART

[Description of the Prior Art] DRAM, SRAM, EPROM, Flash-EPROM, etc. are among the semiconductor memory devices produced commercially now, for example. among these semiconductor memory devices, read-out/writing is possible for DRAM at any time, and it is fit for large scale-ization -- **** (the production trial of 16 M-bit has already been carried out) -- when refresh operation is needed and the power is turned off, data has a disappearing problem. Although read-out/writing is possible for SRAM at any time at high speed, it is unsuitable for large-scale-izing, and when the power is turned off, there is a problem on which data is not held. [0003] On the other hand, in EPROM and Flash-FROM, even if it turns off the power, it has an advantage on which data is held. However, since said EPROM and Flash-FROM are [three to 5 *****] late as compared with DRAM and SRAM which writing operation mentioned above, there is a problem which cannot perform read-out/writing to at any time.

EFFECT OF THE INVENTION

[Effect of the Invention] As this invention is mentioned above, while constituting a flip-flop as at least two transistors are, Connect the 1st and 2nd selection transistors to these two transistors, and a SRAM memory cell portion is constituted, And since the nonvolatile memory cell portion which memorizes the state of said SRAM memory cell portion was connected to said SRAM memory cell portion and the memory cell was constituted, the semiconductor memory device which realized the rapidity of SRAM and fixity of EPROM or Flash-EPROM simultaneously can be provided.

TECHNICAL PROBLEM

[Problem(s) to be Solved by the Invention] As mentioned above, the memory device with possible the conventional memory device performing read-out/writing at high speed had a problem on which data disappears and to keep, when the power was turned off. The memory device which can hold data even if it turns off the power had a problem which cannot perform read-out/writing to at any time. An object of this invention while maintaining the rapidity of static memory (SRAM) in view of an above-mentioned problem is to enable it to realize fixity.

MEANS

[Means for Solving the Problem] In order to solve said purpose a semiconductor memory device of this invention, A SRAM memory cell portion provided with the 1st and 2nd selection transistors that a flip-flop was constituted by the 1st and 2nd transistor and were connected to said 1st and 2nd transistor, It is connected to said SRAM memory cell portion, and a memory cell comprises two portions with a nonvolatile memory cell portion which memorizes a state of said SRAM memory cell portion.

OPERATION

[Function] Since this invention has the above-mentioned arts means, a SRAM memory cell portion is the same composition as the usual SRAM, therefore when high-speed operation is

required, the same high-speed operation as the usual SRAM memory of it becomes possible using said SRAM memory cell portion. Fixity is collateralized by the time of the operation finish of a memory, or making the transistor of said nonvolatile memory cell portion memorize the information on said SRAM memory cell portion periodically.

EXAMPLE

[Example] Hereafter, one example of the semiconductor memory device of this invention is described with reference to drawings. The fundamental composition of the semiconductor memory device of this invention is constituted by the 1st transistor T1 - 4th transistor T4.

[0008] As shown in drawing 1, each source of the 1st transistor T1 and the 2nd transistor T2 is grounded. And while the drain of the 1st transistor T1 is connected to the gate of the 2nd transistor T2, the drain of the 2nd transistor T2 is connected to the gate of the 1st transistor T1, and the flip-flop 2 is constituted by these 1st and 2nd transistors T1 and T2.

[0009] While the 1st selection transistor T7 is connected to the drain of the 1st transistor T1, the 2nd selection transistor T8 is connected to the drain of the 2nd transistor T2. These 1st and 2nd selection transistors T7 and T8 are provided in order to operate selectively said 1st and 2nd transistors T1 and T2.

The SRAM memory cell portion 1 is constituted by the above transistor T1, T2, T7, and T8.

[0010] While the source of the 5th transistor T5 is connected to the drain of the 1st transistor T1, the source of the 6th transistor T6 is connected to the drain of the 2nd transistor T2. These 5th and 6th transistors T5 and T6 are connected as a transfer gate, respectively.

[0011] While the source of 3rd transistor T3 is connected to the drain of said 5th transistor T5, the source of the 4th transistor T4 is connected to the drain of the 6th transistor T6. These transistor T3 and T4 are what is called a nonvolatile transistor.

It has two gates, a floating gate and a control gate.

And the nonvolatile memory cell portion 3 is constituted by these the 3rd transistor T3 and 4th transistor T4.

[0012] About the details of these SRAM memory cell portions 1 and the nonvolatile memory cell portion 3, the structure principle of operation is indicated in detail to the "flash memory which advances rapidly" of the Fujio Masuoka work published from Kogyo Chosakai Publishing. As transistor T3 of the nonvolatile memory cell portion 3, and T4, what is necessary is just to have two gates, a floating gate and a control gate, and the memory structure of various kinds of types can be applied.

[0013] As mentioned above, the SRAM memory cell portion 1 is constituted as, as for the semiconductor memory device of this example, the transistor T1, T2, T7, and T8 are, The selection signal line w1 for choosing this memory cell as each gate of the 1st selection transistor T7 and the 2nd selection transistor T8 is connected.

[0014] The signal wire b1b2 for reading data from said SRAM memory cell portion 1, or writing data in said SRAM memory cell portion 1 is connected to said 1st selection transistor T7 and the 2nd selection transistor T8, respectively.

[0015] As mentioned above, the 3rd transistor T3 and 4th transistor T4 are a transistor which has a control gate and a floating gate.

The control gate is connected to the 1st signal wire v1.

[0016]The 5th transistor T5 and 6th transistor T6 serve as a transfer gate which connects the nonvolatile memory cell 3 and the SRAM memory cell portion 1, as mentioned above. The gate of these transistors T5 and T6 is connected to the 2nd signal wire v2.

[0017]Next, operation of the circuit shown in drawing 1 is explained. First, SRAM operation is explained. At the time of SRAM operation, the 1st signal wire v1 and 2nd signal wire v2 are fixed to a low level (earthing conductor level). In this case, the data held at the SRAM memory cell portion 1 is decided with the level of the 1st node n1 and the 2nd node n2.

[0018]For example, suppose that the 1st node n1 is high level, and the 2nd node n2 is a low level. In this case, when considering read operation the selection signal line w1 is a low level (earthing conductor level), the SRAM memory cell portion 1 is non selection.

Data is not outputted from a memory cell.

[0019]One [the 1st selection transistor T7 and 2nd selection transistor T8] if the selection signal line w1 becomes high-level. Thereby, a low level is outputted to one signal wire blt, and high level is outputted to the signal wire blc of another side.

[0020]Next, considering writing operation, when the selection signal line w1 is a low level (earthing conductor level), the SRAM memory cell portion 1 is non selection, and data is not written in a memory cell. And since one [the 1st selection transistor T7 and 2nd selection transistor T8] if the selection signal line w1 becomes high-level, If high level is inputted into the signal wire blc of another side while a low level is inputted into one signal wire blt, a low level of one signal wire blt will be written in the 1st node n1 through the 1st selection transistor T7.

[0021]Since the signal wire blc of another side is high-level, the high level of the signal wire blc of another side will be written in the 2nd node n2 through the 2nd selection transistor T8.

[0022]As for the semiconductor memory device of this example, at the time of the usual operation, high-speed memory operation is performed using the SRAM memory cell portion 1 as mentioned above. And shunting of the data from the SRAM memory cell portion 1 to the nonvolatile memory cell portion 3 is performed by the operation shown below for every time of the ends of memory use in front of powering off etc., or fixed time.

[0023]Next, the operation (store operation) which writes the data written in the SRAM memory cell portion 1 in the nonvolatile memory cell portion 3 is explained. The 1st node n1 presupposes the data currently written in the SRAM memory cell portion 1 in the following explanation that high level and the 2nd node n2 serve as a low level. Such a state is set by the flip-flop 2 which consists of the 1st transistor T1 and 2nd transistor T2.

[0024]First, when writing data in the nonvolatile memory cell portion 3, while impressing the signal of a low level (ground level) to the selection signal line w1 and the 2nd signal wire v2, the voltage of negative potential is impressed to the 1st signal wire v1, and the old data currently written in the nonvolatile memory cell portion 3 is eliminated. That is, 3rd transistor T3 and SURESSHORUDO of the 4th transistor T4 are made into a negative value, and it is made almost the same.

[0025]Thus, if it finishes eliminating the old data currently written in the nonvolatile memory cell portion 3 next, the signal of a low level (ground level) will be impressed to the 1st signal wire v1 and the 2nd signal wire v2, and the selection signal line w1, respectively.

[0026]Next, while impressing the signal of a low level (ground level) to the selection signal line w1, the high tension of positive potential is impressed to the 1st signal wire v1, and a high-level signal is impressed to the 2nd signal wire v2. thereby -- the [the 3rd -] -- one [transistor T3 of

six, T4, T5, and T6], respectively.

[0027]At this time, since the 2nd node n2 is a low level, a low level is impressed to the gate of the 1st transistor T1. Therefore, the 1st transistor T1 is turned off and current does not flow into the 5th transistor T5 and 3rd transistor T3. For this reason, SURESSHORUDO of 3rd transistor T3 does not change.

[0028]On the other hand, since the 1st node n1 is high-level, high level is impressed to the gate of the 2nd transistor T2. Therefore, and current flows into the 4th transistor T4 and 6th transistor T6 through the 2nd transistor T2. [the 2nd transistor T2] Since phot electron pouring takes place to the floating gate of the 4th transistor T4 and an electron is poured into it by this current, SURESSHORUDO is made high and it is made a positive value.

[0029]Next, the store of the data from the SRAM memory cell portion 1 to the nonvolatile memory cell portion 3 is completed by impressing the signal of a low level (ground level) to the 1st and 2nd signal wires v1, v2, and the selection signal line wl.

[0030]In the time of system starting currently used, etc., the semiconductor memory device of this example is made to perform operation (recall operation) which writes the data which made the nonvolatile memory cell portion 3 shunt in the SRAM memory cell portion 1.

[0031]Next, the operation (recall operation) which writes the data currently written in the nonvolatile memory cell portion 3 in the SRAM memory cell portion 1 is explained. The data currently written in the nonvolatile memory cell portion 3 is decided by 3rd transistor T3, and a value or a negative value positive in SURESSHORUDO of the 4th transistor T4.

[0032]Now, with a negative value, SURESSHORUDO of 3rd transistor T3 of the nonvolatile memory cell portion 3 makes an example the case where SURESSHORUDO of the 4th transistor T4 is a positive value, and explains recall operation. First, the signal of a low level (ground level) is impressed to the 1st signal wire v1 and 2nd signal wire v2, and a high-level signal is impressed to the selection signal line wl. Thereby, the 1st selection transistor T7 and 2nd selection transistor T8 serve as one.

[0033]In this state, one signal wire blt and the signal wire blc of another side are made into a low level (ground level), and the level of the 1st node n1 and the 2nd node n2 is made into a low level (ground level). Next, while impressing the signal of a low level (ground level) to the 1st signal wire v1 and selection signal line wl, a high-level signal is impressed to the 2nd signal wire v2, and the 5th transistor T5 and 6th transistor T6 are made one.

[0034]Thus, even if it makes one the 5th transistor T5 and 6th transistor T6, since SURESSHORUDO of the 4th transistor T4 is a positive value, current does not flow.

[0035]To it, since 3rd transistor T3 is a value negative in the SURESSHORUDO, current will flow into the 1st node n1 through the 5th transistor T5. Thereby, the level of the 1st node n1 goes up, and data is written in the SRAM memory cell portion 1. Next, the signal of a low level is impressed to the 1st signal wire v1, 2nd signal wire v2, and selection signal line wl, and recall operation is ended.

[0036]In order to make this invention easy to understand, only the important section was indicated to drawing 1, but to actually use it as a memory cell of memory storage, as shown in drawing 2, it is necessary to connect inductance element Z to the drain of the 1st transistor T1 and the 2nd transistor T2.

[0037]As such inductance element Z, the bond resistance of a resistance element as shown in drawing 3 (a), and a transistor as shown in drawing 3 (b), the bond resistance of a diode as shown in drawing 3 (c), etc. can be used.

[0038]As explained above, in the semiconductor memory device of this example, memory/read

operation can be performed at high speed using the SRAM memory cell portion 1 at the time of normal operation. Since data can be evacuated to the nonvolatile memory cell portion 3 at the time of the end of memory operation, the rapidity of SRAM and fixity, such as EPROM and Flash-EPROM, are simultaneously realizable.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a circuit diagram showing one example of the semiconductor memory device of this invention.

[Drawing 2] It is a circuit diagram showing the details of one example of this invention.

[Drawing 3] It is an explanatory view showing the example of the inductance element in the circuit of drawing 2.

[Description of Notations]

1 SRAM memory cell portion

2 Flip-flop

3 Nonvolatile memory cell

T1 The 1st transistor

T2 The 2nd transistor

T3 The 3rd transistor

T4 The 4th transistor

T5 The 5th transistor

T6 The 6th transistor

T7 The 1st selection transistor

T8 The 2nd selection transistor

n1 The 1st node

n2 The 2nd node

w1 Selection signal line

v1 The 1st signal wire

v2 The 2nd signal wire

blt One signal wire

blc Parent signal wire of another side

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-226088

(43) 公開日 平成7年(1995)8月22日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 14/00				
16/02				
H 0 1 L 27/10	3 7 1	7210-4M		

G 1 1 C 11/ 40 1 0 1
17/ 00 3 0 7 C

審査請求 未請求 請求項の数 4 F D (全 6 頁) 最終頁に続く

(21) 出願番号 特願平6-40561

(22) 出願日 平成6年(1994)2月15日

(71) 出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72) 発明者 越塚 淳生

東京都千代田区大手町2-6-3 新日本
製鐵株式会社内

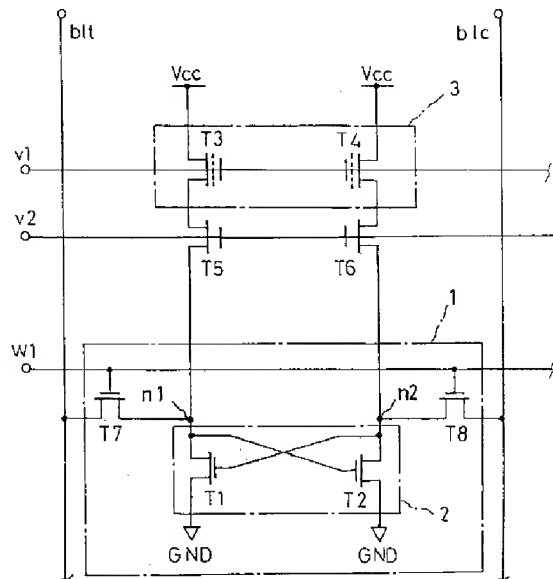
(74) 代理人 弁理士 國分 孝悦

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 スタティックメモリ (SRAM) の高速性を保ちながら、不揮発性を実現できるようにすることを目的とする。

【構成】 ソースがそれぞれ接地され、ドレインが互いのトランジスタのゲートに接続された2つのトランジスタ T1、T2 でもってフリップフロップ 2 を構成するとともに、前記2つのトランジスタ T1、T2 に第1および第2の選択トランジスタ T7、T8 を接続して SRAM メモリセル部 1 を構成し、かつフローティングゲートとコントロールゲートの2つのゲートを備え、ドレインが電源ラインに接続された不揮発性トランジスタ T3、T4 により、前記 SRAM メモリセル部 1 の状態を記憶する不揮発性メモリセル部 3 を構成し、この不揮発性メモリセル部 3 を第5および第6のトランジスタ T5、T6 を介して前記 SRAM メモリセル部 1 に接続することにより、SRAM の高速性と EPROM や Flash-EPROM 等の不揮発性とを同時に実現できるようにする。



【特許請求の範囲】

【請求項1】 第1のトランジスタおよび第2のトランジスタによりフリップフロップが構成され、前記第1のトランジスタに第1の選択トランジスタが接続されるとともに、前記第2のトランジスタに第2の選択トランジスタが接続されているSRAMメモリセル部と、前記SRAMメモリセル部に接続されていて、前記SRAMメモリセル部の状態を記憶するための不揮発性メモリセル部とでメモリセルを構成したことを特徴とする半導体記憶装置。

【請求項2】 第1のトランジスタおよび第2のトランジスタによりフリップフロップが構成され、前記第1のトランジスタに第1の選択トランジスタが接続されるとともに、前記第2のトランジスタに第2の選択トランジスタが接続されているSRAMメモリセル部と、前記第1、第2のトランジスタにトランスファークゲートを介してそれぞれ接続され、フローティングゲートとコントロールゲートの2つのゲートを備えた第3、第4のトランジスタを備えた不揮発性メモリセル部とでメモリセルを構成したことを特徴とする半導体記憶装置。

【請求項3】 請求項2において、前記第1および第2のトランジスタはソースがそれぞれ接地されるとともに、ドレインが互いのトランジスタのゲートに接続されていて、かつ各々のドレインには前記トランスファークゲートがそれぞれ接続されていることを特徴とする半導体記憶装置。

【請求項4】 ソースがそれぞれ接地されているとともに、ドレインが互いのトランジスタのゲートに接続されている第1、第2のトランジスタによりフリップフロップが構成されるとともに、前記第1、第2のトランジスタのドレインに第1、第2の選択トランジスタが接続されているSRAMメモリセル部と、前記第1、第2のトランジスタのドレインにそれぞれ接続された第5、第6のトランジスタ、およびこれらの第5、第6のトランジスタを介して前記第1、第2のトランジスタのドレインにソースがそれぞれ接続されているトランジスタであって、これらのトランジスタはフローティングゲートとコントロールゲートの2つのゲートが設けられているとともに、ドレインが電源ラインに接続されている第3、第4のトランジスタを備えた不揮発性メモリセル部とでメモリセルを構成したことを特徴とする半導体記憶装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は半導体記憶装置に関し、特に、不揮発性メモリセルを用いる半導体メモリデバイスに用いて好適なものである。

【0002】

【従来の技術】 現在製品化されている半導体メモリデバイスには、例えば、DRAM、SRAM、EPROM、

Flash-EPROM等がある。これらの半導体メモリデバイスのうち、DRAMは随時読み出し／書き込みが可能であり、大容量化に向いている（既に16M-bitが量産試作されている）が、リフレッシュ動作を必要とし、電源を切るとデータは消えてしまう問題がある。また、SRAMは高速で随時読み出し／書き込みが可能であるが大容量化には不向きであり、電源を切るとデータが保持されない問題がある。

【0003】 これに対し、EPROMおよびFlash-EPROMの場合は、電源を切ってもデータが保持される利点を有している。しかし、前記EPROMおよびFlash-EPROMは、書き込み動作が前述したDRAMやSRAMと比較して3～5オーダー遅いので、読み出し／書き込みを随時に行うことができない問題がある。

【0004】

【発明が解決しようとする課題】 前述のように、従来のメモリデバイスは読み出し／書き込みを高速に行うことが可能なメモリデバイスは、電源を切るとデータが消えてしまう問題があった。また、電源を切ってもデータを保持することができるメモリデバイスは、読み出し／書き込みを随時に行うことができない問題があった。本発明は上述の問題点にかんがみ、スタティックメモリ（SRAM）の高速性を保ちながら、不揮発性を実現できるようにすることを目的とする。

【0005】

【課題を解決するための手段】 前記目的を解決するために本発明の半導体記憶装置は、第1、第2のトランジスタによりフリップフロップが構成され、前記第1、第2のトランジスタに接続された第1および第2の選択トランジスタを備えたSRAMメモリセル部と、前記SRAMメモリセル部に接続され、前記SRAMメモリセル部の状態を記憶する不揮発性メモリセル部との2つの部分でメモリセルが構成されている。

【0006】

【作用】 本発明は前述の技術手段を有するので、SRAMメモリセル部は通常のSRAMと同じ構成であり、したがって、高速動作が要求される場合には前記SRAMメモリセル部を用いて、通常のSRAMメモリと同様な高速動作が可能となる。また、メモリの動作終了時または定期的に、前記SRAMメモリセル部の情報を前記不揮発性メモリセル部のトランジスタに記憶させることで不揮発性が担保される。

【0007】

【実施例】 以下、本発明の半導体記憶装置の一実施例を図面を参照して説明する。本発明の半導体記憶装置の基本的な構成は、第1のトランジスタT1～第4のトランジスタT4によって構成されている。

【0008】 図1に示したように、第1のトランジスタT1および第2のトランジスタT2の各ソースは接地さ

れている。そして、第1のトランジスタT1のドレインが第2のトランジスタT2のゲートに接続されるとともに、第2のトランジスタT2のドレインが第1のトランジスタT1のゲートに接続されていて、これらの第1および第2のトランジスタT1、T2によりフリップフロップ2が構成されている。

【0009】また、第1トランジスタT1のドレインには第1の選択トランジスタT7が接続されているとともに、第2のトランジスタT2のドレインには第2の選択トランジスタT8が接続されている。これらの第1および第2の選択トランジスタT7、T8は、前記第1および第2のトランジスタT1、T2を選択的に動作させるために設けられているものであり、以上のトランジスタT1、T2、T7、T8により、SRAMメモリセル部1が構成されている。

【0010】さらに、第1のトランジスタT1のドレインには、第5のトランジスタT5のソースが接続されているとともに、第2のトランジスタT2のドレインには第6のトランジスタT6のソースが接続されている。これらの第5および第6のトランジスタT5、T6は、トランスファークラップゲートとしてそれぞれ接続されているものである。

【0011】また、前記第5のトランジスタT5のドレインに第3のトランジスタT3のソースが接続されているとともに、第6のトランジスタT6のドレインには第4のトランジスタT4のソースが接続されている。これらのトランジスタT3およびT4は、いわゆる不揮発性のトランジスタであり、フローティングゲートとコントロールゲートの2つのゲートを備えている。そして、これらの第3のトランジスタT3および第4のトランジスタT4によって不揮発性メモリセル部3が構成されている。

【0012】これらのSRAMメモリセル部1および不揮発性メモリセル部3の詳細については、工業調査会から出版されている外岡富士雄著の「躍進するフラッシュメモリ」に構造動作原理が詳しく記載されている。なお、不揮発性メモリセル部3のトランジスタT3、T4としては、フローティングゲートとコントロールゲートの2つのゲートを備えていればよく、各種のタイプのメモリ構造を適用することができる。

【0013】上述したように、本実施例の半導体記憶装置はトランジスタT1、T2、T7、T8をもってSRAMメモリセル部1を構成しており、第1の選択トランジスタT7および第2の選択トランジスタT8の各ゲートに、このメモリセルを選択するための選択信号線w1が接続されている。

【0014】また、前記SRAMメモリセル部1からデータを読み出したり、或いは前記SRAMメモリセル部1にデータを書き込んだりするための信号線b1t、b1cが、前記第1の選択トランジスタT7および第2の

選択トランジスタT8にそれぞれ接続されている。

【0015】上述したように、第3のトランジスタT3および第4のトランジスタT4は、コントロールゲートとフローティングゲートを有するトランジスタであり、コントロールゲートは第1の信号線v1に接続されている。

【0016】なお、第5のトランジスタT5および第6のトランジスタT6は、前述したように、不揮発性メモリセル3とSRAMメモリセル部1とを接続するトランスファークラップゲートとなっており、これらのトランジスタT5およびT6のゲートは、第2の信号線v2に接続されている。

【0017】次に、図1に示した回路の動作を説明する。まず、始めにSRAM動作について説明する。SRAM動作時には、第1の信号線v1および第2の信号線v2はローレベル（接地線レベル）に固定される。この場合、SRAMメモリセル部1に保持されるデータは第1のノードn1および第2のノードn2のレベルにより決まる。

【0018】例えば、第1のノードn1がハイレベル、第2のノードn2がローレベルであるとする。この場合、読み出し動作を考えると、選択信号線w1がローレベル（接地線レベル）の場合は、SRAMメモリセル部1は非選択であり、データはメモリセルから出力されない。

【0019】また、選択信号線w1がハイレベルになると、第1の選択トランジスタT7および第2の選択トランジスタT8がオンする。これにより、一方の信号線b1tにローレベルが出力され、他方の信号線b1cにハイレベルが出力される。

【0020】次に、書き込み動作を考えると、選択信号線w1がローレベル（接地線レベル）の場合はSRAMメモリセル部1は非選択であり、データはメモリセルに書き込まれない。そして、選択信号線w1がハイレベルになると、第1の選択トランジスタT7および第2の選択トランジスタT8がオンするので、一方の信号線b1tにローレベルが入力されるとともに、他方の信号線b1cにハイレベルが入力されると、第1のノードn1には、第1の選択トランジスタT7を通して一方の信号線b1tのローレベルが書き込まれる。

【0021】また、他方の信号線b1cがハイレベルであるから、第2のノードn2には第2の選択トランジスタT8を通して他方の信号線b1cのハイレベルが書き込まれることになる。

【0022】以上のようにして、本実施例の半導体記憶装置は、通常の動作時にはSRAMメモリセル部1を使って高速のメモリ動作が行われる。そして、電源切断直前等のメモリ使用終了時、もしくは一定時間毎に、以下に示す動作によりSRAMメモリセル部1から不揮発性メモリセル部3へのデータの待避が行われる。

【0023】次に、SRAMメモリセル部1に書き込まれたデータを不揮発性メモリセル部3に書き込む動作（ストア動作）を説明する。なお、以下の説明においてはSRAMメモリセル部1に書き込まれているデータは、第1のノードn1がハイレベル、第2のノードn2がローレベルとなっているものとする。このような状態は、第1のトランジスタT1および第2のトランジスタT2よりなるフリップフロップ2によりセットされる。

【0024】不揮発性メモリセル部3にデータを書き込む場合は、まず、選択信号線w1および第2の信号線v2にローレベル（接地レベル）の信号を印加するとともに、第1の信号線v1に負電位の電圧を印加して不揮発性メモリセル部3に書き込まれていた古いデータを消去する。すなわち、第3のトランジスタT3と第4のトランジスタT4のスレッシュホールドを負の値にし、かつほぼ同じにする。

【0025】このようにして、不揮発性メモリセル部3に書き込まれていた古いデータを消去し終わったら、次に、第1の信号線v1および第2の信号線v2、選択信号線w1にローレベル（接地レベル）の信号をそれぞれ印加する。

【0026】次に、選択信号線w1にローレベル（接地レベル）の信号を印加するとともに、第1の信号線v1には正電位の高電圧を印加し、かつ第2の信号線v2にはハイレベルの信号を印加する。これにより、第3～第6のトランジスタT3、T4、T5、T6はそれぞれオンする。

【0027】この時に、第2のノードn2はローレベルであるから、第1のトランジスタT1のゲートにはローレベルが印加される。したがって、第1のトランジスタT1はオフしており、第5のトランジスタT5および第3のトランジスタT3には電流が流れない。このため、第3のトランジスタT3のスレッシュホールドは変化しない。

【0028】一方、第1のノードn1はハイレベルであるから、第2のトランジスタT2のゲートにはハイレベルが印加される。したがって、第2のトランジスタT2はオンしており、第4のトランジスタT4および第6のトランジスタT6には第2のトランジスタT2を通して電流が流れる。この電流により、第4のトランジスタT4のフローティングゲートにホトエレクトロン注入が起こって電子が注入されるので、スレッシュホールドを高くして正の値にする。

【0029】次に、第1および第2の信号線v1、v2および選択信号線w1にローレベル（接地レベル）の信号を印加することにより、SRAMメモリセル部1から不揮発性メモリセル部3へのデータのストアが完了する。

【0030】本実施例の半導体記憶装置は、使用されているシステム立上げ時等において、不揮発性メモリセル

部3に待避させておいたデータをSRAMメモリセル部1へ書き込む動作（リコール動作）を行うようにしている。

【0031】次に、不揮発性メモリセル部3に書き込まれているデータをSRAMメモリセル部1に書き込む動作（リコール動作）を説明する。不揮発性メモリセル部3に書き込まれているデータは、第3のトランジスタT3および第4のトランジスタT4のスレッシュホールドが正の値か負の値かで決まる。

【0032】いま、不揮発性メモリセル部3の第3のトランジスタT3のスレッシュホールドが負の値で、第4のトランジスタT4のスレッシュホールドが正の値である場合を例にしてリコール動作を説明する。まず、第1の信号線v1および第2の信号線v2にローレベル（接地レベル）の信号を印加し、選択信号線w1にハイレベルの信号を印加する。これにより、第1の選択トランジスタT7および第2の選択トランジスタT8がオンとなる。

【0033】この状態で、一方の信号線b1tおよび他方の信号線b1cをローレベル（接地レベル）にして、第1のノードn1および第2のノードn2のレベルをローレベル（接地レベル）にする。次に、第1の信号線v1および選択信号線w1にローレベル（接地レベル）の信号を印加するとともに、第2の信号線v2にハイレベルの信号を印加して、第5のトランジスタT5および第6のトランジスタT6をオンさせる。

【0034】このように、第5のトランジスタT5および第6のトランジスタT6をオンさせても、第4のトランジスタT4のスレッシュホールドは正の値であるため電流は流れない。

【0035】それに対し、第3のトランジスタT3はそのスレッシュホールドが負の値であることから、第5のトランジスタT5を通して第1のノードn1に電流が流れ込むことになる。これにより、第1のノードn1のレベルが上がり、SRAMメモリセル部1にデータが書き込まれる。次に、第1の信号線v1、第2の信号線v2および選択信号線w1にローレベルの信号を印加してリコール動作を終了する。

【0036】なお、本発明を理解しやすくするために、図1には要部のみを記載したが、実際に記憶装置のメモリセルとして使用する場合には、図2に示すように、第1のトランジスタT1および第2のトランジスタT2のドレインにインダクタンス素子Zを接続する必要がある。

【0037】このようなインダクタンス素子Zとしては、図3（a）に示すような抵抗素子や、図3（b）に示すようなトランジスタの接合抵抗、図3（c）に示すようなダイオードの接合抵抗等を用いることができる。

【0038】以上説明したように、本実施例の半導体記憶装置においては、通常動作時はSRAMメモリセル部1を用いて記憶／読み出し動作を高速に行うことができ

る。また、メモリ動作終了時には不揮発性メモリセル部にデータを退避させることができるので、SRAMの高速性とEPROMやFlash-EPROM等の不揮発性とを同時に実現することができる。

【0039】

【発明の効果】本発明は上述したように、2つのトランジスタでもってフリップフロップを構成するとともに、これら2つのトランジスタに第1および第2の選択トランジスタを接続してSRAMメモリセル部を構成し、かつ前記SRAMメモリセル部の状態を記憶する不揮発性メモリセル部を前記SRAMメモリセル部に接続してメモリセルを構成したので、SRAMの高速性とEPROMやFlash-EPROMの不揮発性とを同時に実現した半導体記憶装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の半導体記憶装置の一実施例を示す回路図である。

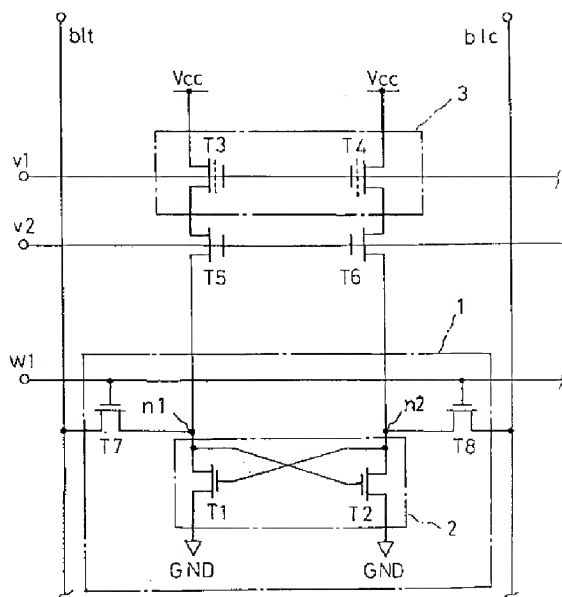
【図2】本発明の一実施例の詳細を示す回路図である。

【図3】図2の回路におけるインダクタンス素子の例を示す説明図である。

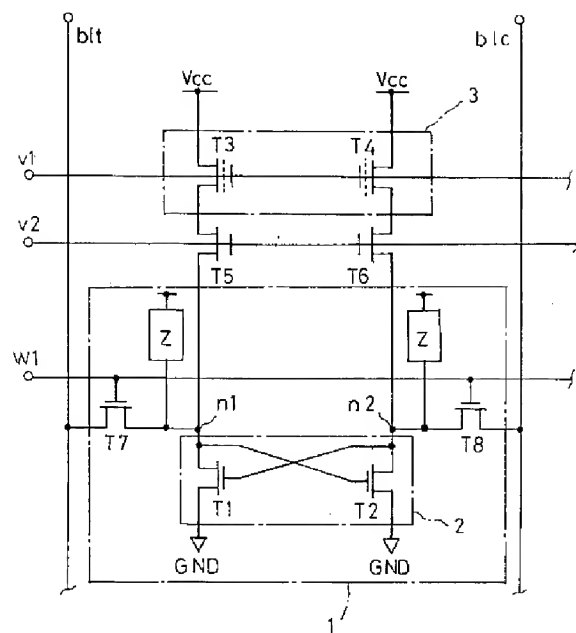
【符号の説明】

- 1 SRAMメモリセル部
- 2 フリップフロップ
- 3 不揮発性メモリセル
- T1 第1のトランジスタ
- T2 第2のトランジスタ
- T3 第3のトランジスタ
- T4 第4のトランジスタ
- T5 第5のトランジスタ
- T6 第6のトランジスタ
- T7 第1の選択トランジスタ
- T8 第2の選択トランジスタ
- n1 第1のノード
- n2 第2のノード
- w1 選択信号線
- v1 第1の信号線
- v2 第2の信号線
- b1t 一方の信号線
- b1c 他方の親信号線

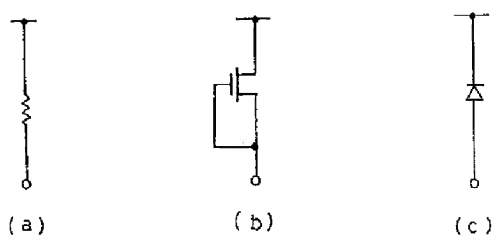
【図1】



【図2】



【図3】



フロントページの続き

(51)Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/105 21/8247 29/788 29/792				
		7210-4M	H 0 1 L 27/10 29/78	4 4 1 3 7 1

(11)特許出願公開番号

特開平7-226088

(43)公開日 平成7年(1995)8月22日

(51)Int.Cl. ^a	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 14/00				
16/02				
H 0 1 L 27/10	3 7 1	7210-4M		

G 1 1 C 11/ 40 1 0 1
17/ 00 3 0 7 C

審査請求 未請求 請求項の数4 FD (全 6 頁) 最終頁に続く

(21)出願番号 特願平6-40561

(22)出願日 平成6年(1994)2月15日

(71)出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72) 発明者 越塚 淳生

東京都千代田区大手町 2-6-3 新日本
製鐵株式會社內

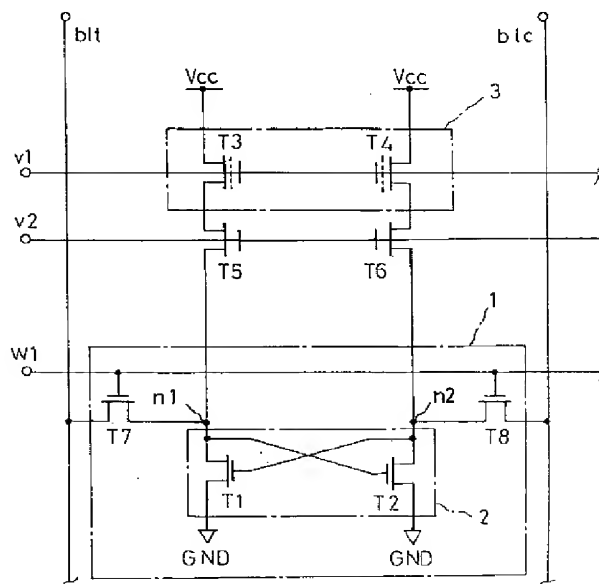
(74) 代理人 弁理士 國分 孝悦

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 スタティックメモリ（SRAM）の高速性を保ちながら、不揮発性を実現できるようにすることを目的とする。

【構成】 ソースがそれぞれ接地され、ドレインが互いのトランジスタのゲートに接続された2つのトランジスタT1、T2でもってフリップフロップ2を構成するとともに、前記2つのトランジスタT1、T2に第1および第2の選択トランジスタT7、T8を接続してSRAMメモリセル部1を構成し、かつフローティングゲートとコントロールゲートの2つのゲートを備え、ドレインが電源ラインに接続された不揮発性トランジスタT3、T4により、前記SRAMメモリセル部1の状態を記憶する不揮発性メモリセル部3を構成し、この不揮発性メモリセル部3を第5および第6のトランジスタT5、T6を介して前記SRAMメモリセル部1に接続することにより、SRAMの高速性とEPROMやFlash-EPROM等の不揮発性とを同時に実現できるようにする。



【特許請求の範囲】

【請求項1】 第1のトランジスタおよび第2のトランジスタによりフリップフロップが構成され、前記第1のトランジスタに第1の選択トランジスタが接続されるとともに、前記第2のトランジスタに第2の選択トランジスタが接続されているSRAMメモリセル部と、前記SRAMメモリセル部に接続されていて、前記SRAMメモリセル部の状態を記憶するための不揮発性メモリセル部とでメモリセルを構成したことを特徴とする半導体記憶装置。

【請求項2】 第1のトランジスタおよび第2のトランジスタによりフリップフロップが構成され、前記第1のトランジスタに第1の選択トランジスタが接続されるとともに、前記第2のトランジスタに第2の選択トランジスタが接続されているSRAMメモリセル部と、前記第1、第2のトランジスタにトランスファークゲートを介してそれぞれ接続され、フローティングゲートとコントロールゲートの2つのゲートを備えた第3、第4のトランジスタを備えた不揮発性メモリセル部とでメモリセルを構成したことを特徴とする半導体記憶装置。

【請求項3】 請求項2において、前記第1および第2のトランジスタはソースがそれぞれ接地されるとともに、ドレインが互いのトランジスタのゲートに接続されていて、かつ各々のドレインには前記トランスファークゲートがそれぞれ接続されていることを特徴とする半導体記憶装置。

【請求項4】 ソースがそれぞれ接地されているとともに、ドレインが互いのトランジスタのゲートに接続されている第1、第2のトランジスタによりフリップフロップが構成されるとともに、前記第1、第2のトランジスタのドレインに第1、第2の選択トランジスタが接続されているSRAMメモリセル部と、前記第1、第2のトランジスタのドレインにそれぞれ接続された第5、第6のトランジスタ、およびこれらの第5、第6のトランジスタを介して前記第1、第2のトランジスタのドレインにソースがそれぞれ接続されているトランジスタであって、これらのトランジスタはフローティングゲートとコントロールゲートの2つのゲートが設けられているとともに、ドレインが電源ラインに接続されている第3、第4のトランジスタを備えた不揮発性メモリセル部とでメモリセルを構成したことを特徴とする半導体記憶装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は半導体記憶装置に関し、特に、不揮発性メモリセルを用いる半導体メモリデバイスに用いて好適なものである。

【0002】

【従来の技術】 現在製品化されている半導体メモリデバイスには、例えば、DRAM、SRAM、EPROM、

Flash-EPROM等がある。これらの半導体メモリデバイスのうち、DRAMは随時読み出し／書き込みが可能であり、大容量化に向いている（既に16M-bitが量産試作されている）が、リフレッシュ動作を必要とし、電源を切るとデータは消えてしまう問題がある。また、SRAMは高速で随時読み出し／書き込みが可能であるが大容量化には不向きであり、電源を切るとデータが保持されない問題がある。

【0003】 これに対し、EPROMおよびFlash-EPROMの場合は、電源を切ってもデータが保持される利点を有している。しかし、前記EPROMおよびFlash-EPROMは、書き込み動作が前述したDRAMやSRAMと比較して3～5オーダー遅いので、読み出し／書き込みを随時に行うことができない問題がある。

【0004】

【発明が解決しようとする課題】 前述のように、従来のメモリデバイスは読み出し／書き込みを高速に行うことが可能なメモリデバイスは、電源を切るとデータが消えてしまう問題があった。また、電源を切ってもデータを保持することができるメモリデバイスは、読み出し／書き込みを随時に行うことができない問題があった。本発明は上述の問題点にかんがみ、スタティックメモリ（SRAM）の高速性を保ちながら、不揮発性を実現できるようにすることを目的とする。

【0005】

【課題を解決するための手段】 前記目的を解決するために本発明の半導体記憶装置は、第1、第2のトランジスタによりフリップフロップが構成され、前記第1、第2のトランジスタに接続された第1および第2の選択トランジスタを備えたSRAMメモリセル部と、前記SRAMメモリセル部に接続され、前記SRAMメモリセル部の状態を記憶する不揮発性メモリセル部との2つの部分でメモリセルが構成されている。

【0006】

【作用】 本発明は前述の技術手段を有するので、SRAMメモリセル部は通常のSRAMと同じ構成であり、したがって、高速動作が要求される場合には前記SRAMメモリセル部を用いて、通常のSRAMメモリと同様な高速動作が可能となる。また、メモリの動作終了時または定期的に、前記SRAMメモリセル部の情報を前記不揮発性メモリセル部のトランジスタに記憶させることで不揮発性が担保される。

【0007】

【実施例】 以下、本発明の半導体記憶装置の一実施例を図面を参照して説明する。本発明の半導体記憶装置の基本的な構成は、第1のトランジスタT1～第4のトランジスタT4によって構成されている。

【0008】 図1に示したように、第1のトランジスタT1および第2のトランジスタT2の各ソースは接地さ

れている。そして、第1のトランジスタT1のドレインが第2のトランジスタT2のゲートに接続されるとともに、第2のトランジスタT2のドレインが第1のトランジスタT1のゲートに接続されていて、これらの第1および第2のトランジスタT1、T2によりフリップフロップ2が構成されている。

【0009】また、第1トランジスタT1のドレインには第1の選択トランジスタT7が接続されているとともに、第2のトランジスタT2のドレインには第2の選択トランジスタT8が接続されている。これらの第1および第2の選択トランジスタT7、T8は、前記第1および第2のトランジスタT1、T2を選択的に動作させるために設けられているものであり、以上のトランジスタT1、T2、T7、T8により、SRAMメモリセル部1が構成されている。

【0010】さらに、第1のトランジスタT1のドレインには、第5のトランジスタT5のソースが接続されているとともに、第2のトランジスタT2のドレインには第6のトランジスタT6のソースが接続されている。これらの第5および第6のトランジスタT5、T6は、トランスファゲートとしてそれぞれ接続されているものである。

【0011】また、前記第5のトランジスタT5のドレインに第3のトランジスタT3のソースが接続されているとともに、第6のトランジスタT6のドレインには第4のトランジスタT4のソースが接続されている。これらのトランジスタT3およびT4は、いわゆる不揮発性のトランジスタであり、フローティングゲートとコントロールゲートの2つのゲートを備えている。そして、これらの第3のトランジスタT3および第4のトランジスタT4によって不揮発性メモリセル部3が構成されている。

【0012】これらのSRAMメモリセル部1および不揮発性メモリセル部3の詳細については、工業調査会から出版されている舩岡富士雄著の「躍進するフラッシュメモリ」に構造動作原理が詳しく記載されている。なお、不揮発性メモリセル部3のトランジスタT3、T4としては、フローティングゲートとコントロールゲートの2つのゲートを備えていればよく、各種のタイプのメモリ構造を適用することができる。

【0013】上述したように、本実施例の半導体記憶装置はトランジスタT1、T2、T7、T8でもってSRAMメモリセル部1を構成しており、第1の選択トランジスタT7および第2の選択トランジスタT8の各ゲートに、このメモリセルを選択するための選択信号線w1が接続されている。

【0014】また、前記SRAMメモリセル部1からデータを読み出したり、或いは前記SRAMメモリセル部1にデータを書き込んだりするための信号線b1t、b1cが、前記第1の選択トランジスタT7および第2の

選択トランジスタT8にそれぞれ接続されている。

【0015】上述したように、第3のトランジスタT3および第4のトランジスタT4は、コントロールゲートとフローティングゲートを有するトランジスタであり、コントロールゲートは第1の信号線v1に接続されている。

【0016】なお、第5のトランジスタT5および第6のトランジスタT6は、前述したように、不揮発性メモリセル3とSRAMメモリセル部1とを接続するトランスファゲートとなっており、これらのトランジスタT5およびT6のゲートは、第2の信号線v2に接続されている。

【0017】次に、図1に示した回路の動作を説明する。まず、始めにSRAM動作について説明する。SRAM動作時には、第1の信号線v1および第2の信号線v2はローレベル（接地線レベル）に固定される。この場合、SRAMメモリセル部1に保持されるデータは第1のノードn1および第2のノードn2のレベルにより決まる。

【0018】例えば、第1のノードn1がハイレベル、第2のノードn2がローレベルであるとする。この場合、読み出し動作を考えると、選択信号線w1がローレベル（接地線レベル）の場合は、SRAMメモリセル部1は非選択であり、データはメモリセルから出力されない。

【0019】また、選択信号線w1がハイレベルになると、第1の選択トランジスタT7および第2の選択トランジスタT8がオンする。これにより、一方の信号線b1tにローレベルが出力され、他方の信号線b1cにハイレベルが出力される。

【0020】次に、書き込み動作を考えると、選択信号線w1がローレベル（接地線レベル）の場合はSRAMメモリセル部1は非選択であり、データはメモリセルに書き込まれない。そして、選択信号線w1がハイレベルになると、第1の選択トランジスタT7および第2の選択トランジスタT8がオンするので、一方の信号線b1tにローレベルが出力されるとともに、他方の信号線b1cにハイレベルが出力されると、第1のノードn1には、第1の選択トランジスタT7を通して一方の信号線b1tのローレベルが書き込まれる。

【0021】また、他方の信号線b1cがハイレベルであるから、第2のノードn2には第2の選択トランジスタT8を通して他方の信号線b1cのハイレベルが書き込まれることになる。

【0022】以上のようにして、本実施例の半導体記憶装置は、通常の動作時にはSRAMメモリセル部1を使って高速のメモリ動作が行われる。そして、電源切断直前等のメモリ使用終了時、もしくは一定時間毎に、以下に示す動作によりSRAMメモリセル部1から不揮発性メモリセル部3へのデータの待避が行われる。

【0023】次に、SRAMメモリセル部1に書き込まれたデータを不揮発性メモリセル部3に書き込む動作（ストア動作）を説明する。なお、以下の説明においてはSRAMメモリセル部1に書き込まれているデータは、第1のノードn1がハイレベル、第2のノードn2がローレベルとなっているものとする。このような状態は、第1のトランジスタT1および第2のトランジスタT2よりなるフリップフロップ2によりセットされる。

【0024】不揮発性メモリセル部3にデータを書き込む場合は、まず、選択信号線w1および第2の信号線v2にローレベル（接地レベル）の信号を印加するとともに、第1の信号線v1に負電位の電圧を印加して不揮発性メモリセル部3に書き込まれていた古いデータを消去する。すなわち、第3のトランジスタT3と第4のトランジスタT4のスレッシュホールドを負の値にし、かつほぼ同じにする。

【0025】このようにして、不揮発性メモリセル部3に書き込まれていた古いデータを消去し終わったら、次に、第1の信号線v1および第2の信号線v2、選択信号線w1にローレベル（接地レベル）の信号をそれぞれ印加する。

【0026】次に、選択信号線w1にローレベル（接地レベル）の信号を印加するとともに、第1の信号線v1には正電位の高電圧を印加し、かつ第2の信号線v2にはハイレベルの信号を印加する。これにより、第3～第6のトランジスタT3、T4、T5、T6はそれぞれオンする。

【0027】この時に、第2のノードn2はローレベルであるから、第1のトランジスタT1のゲートにはローレベルが印加される。したがって、第1のトランジスタT1はオフしており、第5のトランジスタT5および第3のトランジスタT3には電流が流れない。このため、第3のトランジスタT3のスレッシュホールドは変化しない。

【0028】一方、第1のノードn1はハイレベルであるから、第2のトランジスタT2のゲートにはハイレベルが印加される。したがって、第2のトランジスタT2はオンしており、第4のトランジスタT4および第6のトランジスタT6には第2のトランジスタT2を通して電流が流れる。この電流により、第4のトランジスタT4のフローティングゲートにホトエレクトロン注入が起こって電子が注入されるので、スレッシュホールドを高くして正の値にする。

【0029】次に、第1および第2の信号線v1、v2および選択信号線w1にローレベル（接地レベル）の信号を印加することにより、SRAMメモリセル部1から不揮発性メモリセル部3へのデータのストアが完了する。

【0030】本実施例の半導体記憶装置は、使用されているシステム立上げ時等において、不揮発性メモリセル

部3に待避させておいたデータをSRAMメモリセル部1へ書き込む動作（リコール動作）を行うようにしている。

【0031】次に、不揮発性メモリセル部3に書き込まれているデータをSRAMメモリセル部1に書き込む動作（リコール動作）を説明する。不揮発性メモリセル部3に書き込まれているデータは、第3のトランジスタT3および第4のトランジスタT4のスレッシュホールドが正の値か負の値かで決まる。

【0032】いま、不揮発性メモリセル部3の第3のトランジスタT3のスレッシュホールドが負の値で、第4のトランジスタT4のスレッシュホールドが正の値である場合を例にしてリコール動作を説明する。まず、第1の信号線v1および第2の信号線v2にローレベル（接地レベル）の信号を印加し、選択信号線w1にハイレベルの信号を印加する。これにより、第1の選択トランジスタT7および第2の選択トランジスタT8がオンとなる。

【0033】この状態で、一方の信号線b1cおよび他方の信号線b1aをローレベル（接地レベル）にして、第1のノードn1および第2のノードn2のレベルをローレベル（接地レベル）にする。次に、第1の信号線v1および選択信号線w1にローレベル（接地レベル）の信号を印加するとともに、第2の信号線v2にハイレベルの信号を印加して、第5のトランジスタT5および第6のトランジスタT6をオンさせる。

【0034】このように、第5のトランジスタT5および第6のトランジスタT6をオンさせても、第4のトランジスタT4のスレッシュホールドは正の値であるため電流は流れない。

【0035】それに対し、第3のトランジスタT3はそのスレッシュホールドが負の値であることから、第5のトランジスタT5を通して第1のノードn1に電流が流れ込むことになる。これにより、第1のノードn1のレベルが上がり、SRAMメモリセル部1にデータが書き込まれる。次に、第1の信号線v1、第2の信号線v2および選択信号線w1にローレベルの信号を印加してリコール動作を終了する。

【0036】なお、本発明を理解しやすくするために、図1には要部のみを記載したが、実際に記憶装置のメモリセルとして使用する場合には、図2に示すように、第1のトランジスタT1および第2のトランジスタT2のドレインにインダクタンス素子Zを接続する必要がある。

【0037】このようなインダクタンス素子Zとしては、図3（a）に示すような抵抗素子や、図3（b）に示すようなトランジスタの接合抵抗、図3（c）に示すようなダイオードの接合抵抗等を用いることができる。

【0038】以上説明したように、本実施例の半導体記憶装置においては、通常動作時はSRAMメモリセル部1を用いて記憶／読み出し動作を高速に行うことができ

る。また、メモリ動作終了時には不揮発性メモリセル部3にデータを退避させることができるので、SRAMの高速性とEPROMやFlash-EPROM等の不揮発性とを同時に実現することができる。

【0039】

【発明の効果】本発明は上述したように、2つのトランジスタでもってフリップフロップを構成するとともに、これら2つのトランジスタに第1および第2の選択トランジスタを接続してSRAMメモリセル部を構成し、かつ前記SRAMメモリセル部の状態を記憶する不揮発性メモリセル部を前記SRAMメモリセル部に接続してメモリセルを構成したので、SRAMの高速性とEPROMやFlash-EPROMの不揮発性とを同時に実現した半導体記憶装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の半導体記憶装置の一実施例を示す回路図である。

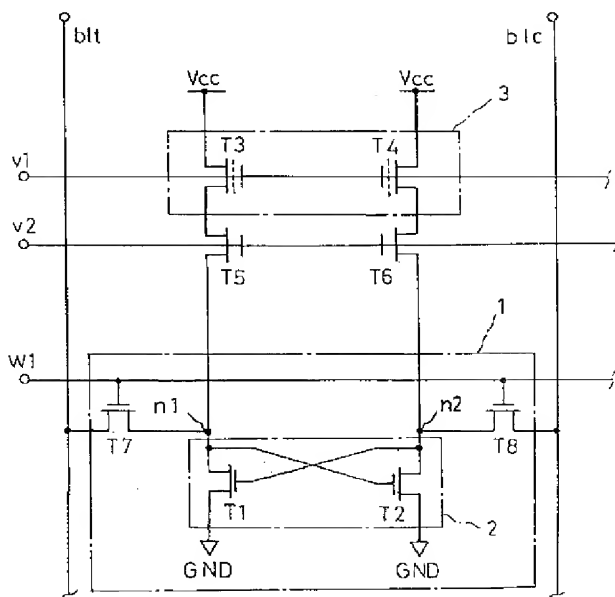
【図2】本発明の一実施例の詳細を示す回路図である。

【図3】図2の回路におけるインダクタンス素子の例を示す説明図である。

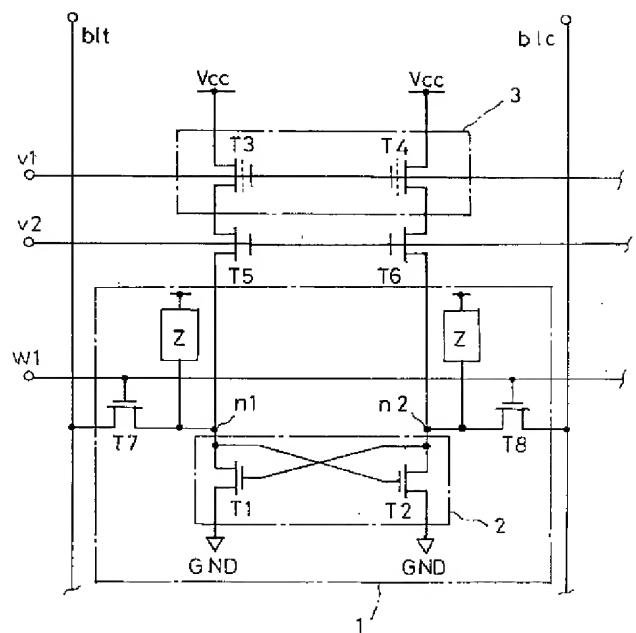
【符号の説明】

- 1 SRAMメモリセル部
- 2 フリップフロップ
- 3 不揮発性メモリセル
- T1 第1のトランジスタ
- T2 第2のトランジスタ
- T3 第3のトランジスタ
- T4 第4のトランジスタ
- T5 第5のトランジスタ
- T6 第6のトランジスタ
- T7 第1の選択トランジスタ
- T8 第2の選択トランジスタ
- n1 第1のノード
- n2 第2のノード
- w1 選択信号線
- v1 第1の信号線
- v2 第2の信号線
- b1t 一方の信号線
- b1c 他方の親信号線

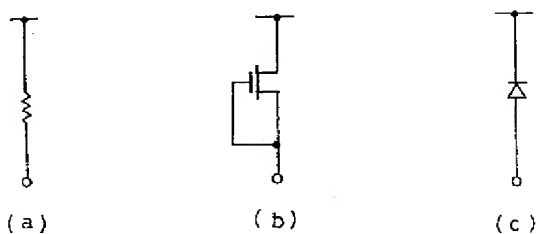
【図1】



【図2】



【図3】



フロントページの続き

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H O 1 L 27/105 21/8247 29/788 29/792		7210-4M	H O 1 L 27/10 29/78	4 4 1 3 7 1